

PHYTIUM 飞腾

FT-2000/4 硬件设计 指导手册

(V1.6)

2020 年 4 月

天津飞腾信息技术有限公司

www.phytium.com.cn

版权所有© 天津飞腾信息技术有限公司 2020

此文档用于指导用户的相关应用和开发工作。天津飞腾信息技术有限公司对此文档内容拥有版权，并受法律保护

免责声明© 天津飞腾信息技术有限公司对本文档内容有解释权，且保留持续修改的权利

目录

1	概要	1
2	平台框图	2
3	低速 IO 接口	3
3.1	I2C 接口	3
3.2	QSPI 布线要求	4
3.3	LPC 布线要求	4
3.4	SPI 信号布线要求	5
3.5	RGMII 布线要求	5
4	PCIE 接口	6
4.1	拆分方式	6
4.2	PCIE 连接配置	6
4.3	AC 电容、校准电阻要求	6
4.4	布线要求	7
4.4.1	阻抗要求	7
4.4.2	耦合电容摆放要求	7
4.4.3	走线间距要求	8
4.4.4	走线等长要求	8
4.4.5	信号过孔要求	8
4.4.6	走线参考要求	9
5	DDR4 内存接口	10
5.1	特性	10
5.2	PCB 布局	10
5.3	布线参考	11
5.4	双 DIMM 模式	12
5.5	阻抗要求	13
5.5.1	单端微带线	13

5.5.2	差分微带线.....	14
5.5.3	单端带状线.....	14
5.5.4	分带状线.....	14
5.6	交换准则.....	15
5.7	内存布线长度约束.....	16
6	电源	17
6.1	电源参数.....	17
6.2	设计要点.....	18
7	配置 EEPROM.....	20

图目录

图 2-1	FT-2000/4 硬件平台框图	2
图 3-1	I2C_0 连接设备	3
图 4-1	外部校准电阻	7
图 4-2	芯片扇出线示意图	7
图 4-3	耦合电容摆放示意图	7
图 4-4	耦合电容摆放参考	8
图 4-5	等长绕线参考	8
图 4-6	等长绕线参考	8
图 4-7	回流孔摆放参考	9
图 4-8	跨平面参考处理	9
图 5-1	DDR Ball Map Top view	10
图 5-2	内存槽芯片两侧布局	11
图 5-3	内存槽芯片一侧布局	11
图 5-4	内存两侧布线示意图（内存两层布线）	12
图 5-5	内存一侧布线示意图（内存四层布线）	12
图 5-6	双 DIMM 模式典型连接方法	13
图 5-7	单端微带线	13
图 5-8	差分微带线	14
图 5-9	单端带状线	14
图 5-10	差分带状线	14
图 5-11	DDR 校准电阻	16
图 6-1	PCIe 电源连接方法	18
图 6-2	AVDDCLK 电源放置的电容位置	18
图 6-3	VAA 电源连接方法	18
图 6-4	电容放置方式	19

表目录

表 3-1	I2C 地址分配	3
表 3-2	QSPI 接口布线建议.....	4
表 3-3	SPI 接口布线建议	5
表 3-4	RGMII 布线要求	5
表 4-1	PCIe 拆分模式表	6
表 4-2	PCIe 链路 AC 耦合电容.....	6
表 5-1	FT-2000/4 主板配置	10
表 5-2	单端微带线	13
表 5-3	差分微带线	14
表 5-4	单端带状线	14
表 5-5	差分带状线	14
表 5-6	Slice 分组表	16
表 5-7	布线长度约束	16
表 6-1	不同产品形态的核心电源 VDD 参数.....	17
表 6-2	电源参数	17
表 7-1	EEPROM 从设备地址要求	20
表 7-2	初始化 EEPROM 数据格式.....	20
表 7-3	IO 复用功能选择	21
表 7-4	IO 内部上下拉使能	21
表 7-5	GPIO 在 EEPROM 中数据映射关系.....	21
表 7-6	PCIe 拆分模式配置	23

1 概要

本文针对 FT-2000/4 平台硬件设计中的关键点进行了阐述。旨在提供在原理图设计、板级设计阶段需要遵循的基本规则，减少用户在设计阶段的疑惑以及不确定性，增加设计可靠性。

2 平台框图

FT-2000/4 可以根据实际应用需求，设计出不同的硬件配置。如图 2-1 所示，给出了一种典型 FT-2000/4 硬件平台方案。具体设计可以根据需求裁剪、添加、替换外设模块。用户可以根据具体应用灵活调整。

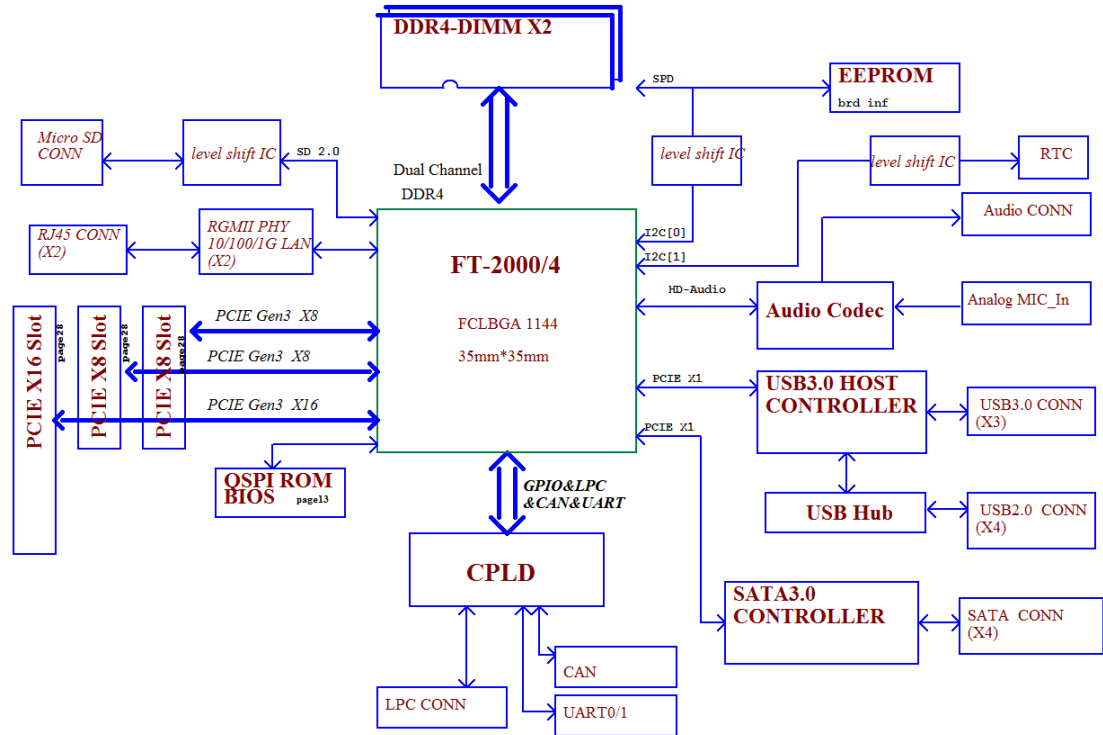


图 2-1 FT-2000/4 硬件平台框图

3 低速 IO 接口

3.1 I2C 接口

上电启动后，进入初始化流程。I2C_0 总线首先读取内存 SPD 信息，用来初始化内存。连接拓扑如图 3.1 所示。为了保证兼容性，请按照表 3-1 对各 I2C 设备进行地址分配。可以在总线上挂接一个存储配置 EEPROM，该功能为可选项，用户依据实际情况而定。

CPU 的 I2C 接口为 1.8V 的 IO 电平类型，若外接的设备不兼容 1.8V 电平，需使用 I2C 专用电平转换芯片进行电平转换。

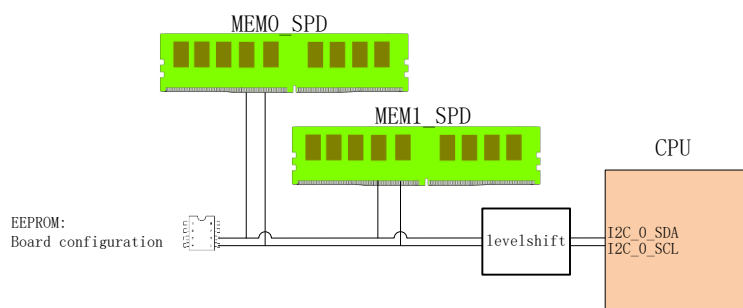


图 3-1 I2C_0 连接设备

表 3-1 I2C 地址分配

设备		SA[0:2]
MEM0	DIMM0	000
	DIMM1	001
MEM1	DIMM0	100
	DIMM1	101
EEPROM (2Kbit)		111

为了保证兼容性，要求 RTC (real-time clock) 单元连接在 I2C_1 接口上，系统通过该接口获取时间信息。如下图所示。

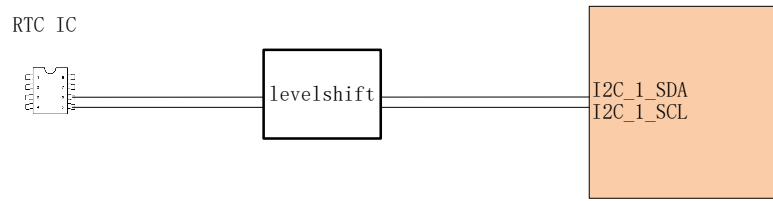


图 3-2 I2C_1 连接 RTC

3.2 QSPI 布线要求

表 3-2 QSPI 接口布线建议

信号	布线建议
QSPL_SCK	布线长度建议小于 7 inch
QSPL_SO_IO0 、 QSPL_SI_IO1 、 QSPL_WP_IO2 、 QSPL_HOLD_IO3 、 QSPL_CSN[3:0]、	与 QSPL_SCK 布线偏差建议小于 1 inch

3.3 LPC 布线要求

时钟由外部供给 33Mhz 时钟,同一时钟可分别给 CPU 和 LPC 设备,如图 3--3 所示。

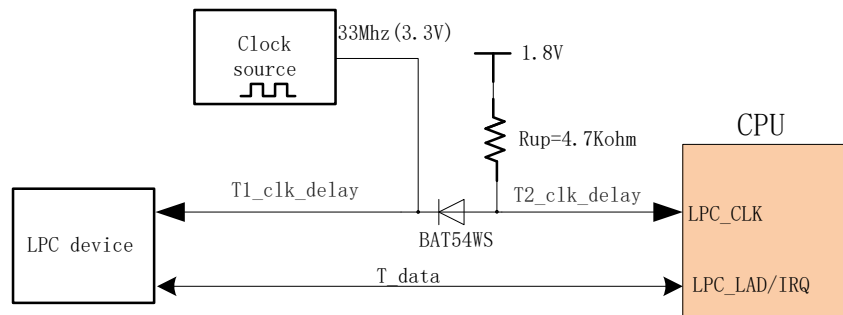


图 3-3 LPC 连接方式

如上图所示,时钟到设备与时钟到 CPU 之间的边沿的偏差 $\Delta t = |T2_clk_delay - T1_clk_delay|$ 。数据线(包括 Frame、LAD[3:0]、SerIrq、LDrq)延迟为 T_Data 。

需要满足如下两个条件:

1) $\Delta t < 1ns$

2) $\Delta t < T_Data < Tclk$ (Tclk 为时钟周期,时钟频率为 33Mhz 时, Tclk 约为

33.3ns)

双向管脚到电平转换芯片间需要加 50 欧姆电阻进行保护，防止方向切换时存在电源到地的短路路径。

3.4 SPI 信号布线要求

表 3-3 SPI 接口布线建议

信号	布线建议
SPI_SCK	布线长度建议小于 7 inch
SPI_SO、SPI_CSN[3:0]、	与 SPI_CLK 布线偏差建议小于 1 inch
SPI_SI	布线长度建议小于 7 inch

3.5 RGMII 布线要求

为了保证 RGMII 接口与 PHY 能正常通信,建议按照下表中的参数进行设计。

表 3-4 RGMII 布线要求

信号	建议等长	布线阻抗
GTX_CLK TXD[3:0] TX_CTL	TXD[3:0]、TX_CTL 与 GTX_CLK 相差-250mils 到 250mils	50Ω±10%
RX_CLK RXD[3:0] RX_CTL	RXD[3:0]、RX_CTL 与 RX_CLK 相差-250mils 到 250mils	50Ω±10%
MDC MDIO	MDIO 与 MDC 相差-250mils 到 250mils	50Ω±10%

4 PCIe 接口

4.1 拆分方式

FT-2000/4 支持 34 lanes PCIe Gen3.0。PCIe 拆分模式如下表所示：

表 4-1 PCIe 拆分模式表

PCIe	拆分模式	
PEU0_X1[0]	X1	
PEU0_X16[0:15]	X16	
	X8	X8
PEU1_X1[0]	X1	
PEU1_X16[0:15]	X16	
	X8	X8

4.2 PCIe 连接配置

与 PCIe 相关的时钟输入，分别为 FT_PEU1_X1_CLK{P/N}、FT_PEU1_X16_CLK{P/N}、FT_PEU0_X1_X16_CLK{P/N}，正常运行时，这三个输入端都需要有时钟输入。

为了保证 CPU 与设备之间正常连接通信，该小节对 PEU0_X16[0:15]、PEU1_X16[0:15]的连接模式进行了规定。其余两组 X1 的端口无此约束要求。

当 PCIe 拆分模式为 X16 时，CPU 端 lane0 必须与 PCIe 设备具有电气连接；当 PCIe 拆分为 X8、X8 时，CPU 端 lane0 或 lane8 必须与 PCIe 设备具有电气连接。需要格外注意的是：外接 PCIe 槽时，建议不要翻转，因为插入不同的扩展卡，lane 宽度可能不同，从而导致不满足以上所述 lane0 或 lane8 与设备电气连接的规则。例如翻转的 PCIe X8 槽，将不适合使用 X1、X2、X4 扩展卡，而只能用 X8 扩展卡。

4.3 AC 电容、校准电阻要求

输出端到接收端之间，PCIe 采用交流耦合的方式。具体要求如表 4.2 所示。

表 4-2 PCIe 链路 AC 耦合电容

协议	最小值	最大值	建议值	封装	精度
PCIe1.0/PCIe2.0	75nF	265nF	100nF	0402	10%
PCIe3.0	176nF	265nF	220nF	0402	10%

如图4-1所示，CPU外电阻值为3.01K Ω ，接精度为1%的校准电阻。外部校准电阻要求尽可能靠近CPU 引脚，走线避开高速信号等干扰源。

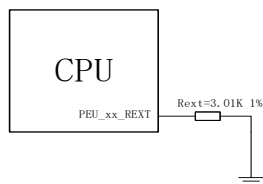


图 4-1 外部校准电阻

4.4 布线要求

4.4.1 阻抗要求

差分数据信号阻抗：85 Ω \pm 10%

芯片扇出部分走线阻抗可不作严格控制，但是建议尽量缩短扇出线部分的走线长度。

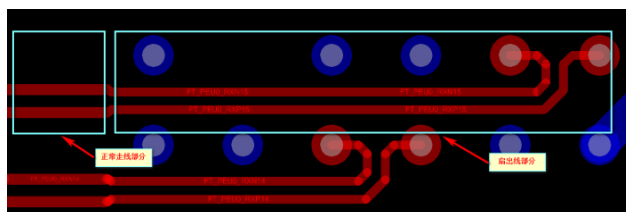


图 4-2 芯片扇出线示意图

4.4.2 耦合电容摆放要求

PCIe需要在发送端和接收端之间放置交流耦合电容。对于主板来说，TX差分对上的AC耦合电容摆放在主板上，RX上的AC耦合电容摆放在相应的PCIe设备端。

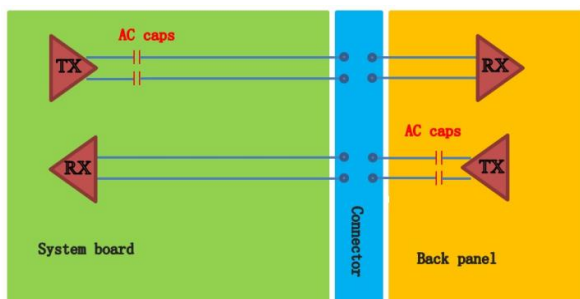


图 4-3 耦合电容摆放示意图

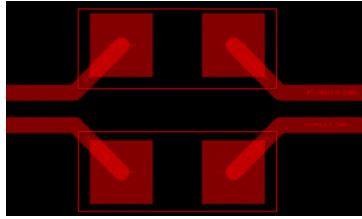


图 4-4 耦合电容摆放参考

4.4.3 走线间距要求

PCIe差分对之间的走线间距（走线边缘距离） $S \geq \text{Max}(4W, 4H)$ ，W为线边缘间距，H为走线距离最近参考平面的高度。尽量远离开关电源的开关管和电感等噪声源。TX和RX建议走在不同层，或者隔开尽可能远的距离。差分对P和N必须在同一层，并按照差分约束布线。

4.4.4 走线等长要求

从布线长度考虑，差分对P和N两条布线总长度之差不能超过4mils。建议扇出时，对较短的走线进行一定的等长补偿。两种等长绕线的参考如图4-5和图4-6所示。

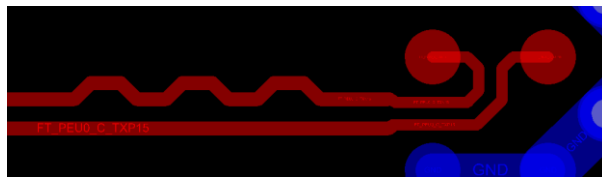


图 4-5 等长绕线参考

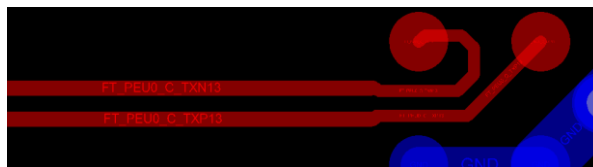


图 4-6 等长绕线参考

4.4.5 信号过孔要求

信号如果需要打孔换层，建议在换层孔附近添加回流孔，回流孔尽量靠近信号孔。如果使用过孔换层，需考虑过孔残桩，残桩长度应小于100mils。

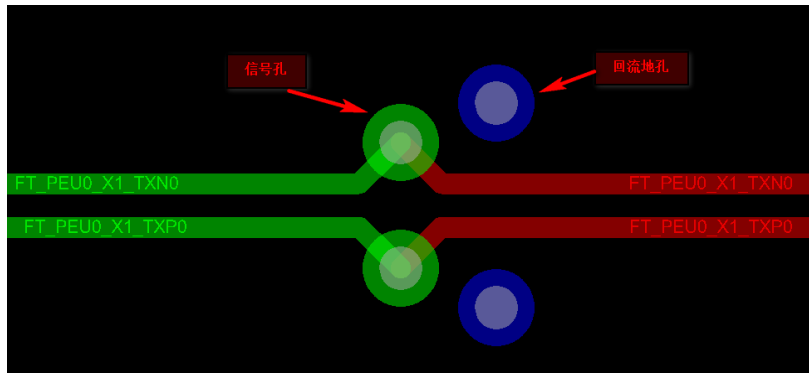


图 4-7 回流孔摆放参考

4.4.6 走线参考要求

走线参考GND，保证参考平面完整，不允许有跨平面分割的情况。如果设计中无法避免跨平面参考，建议在跨平面分割处用旁路电容将回流信号连接起来。

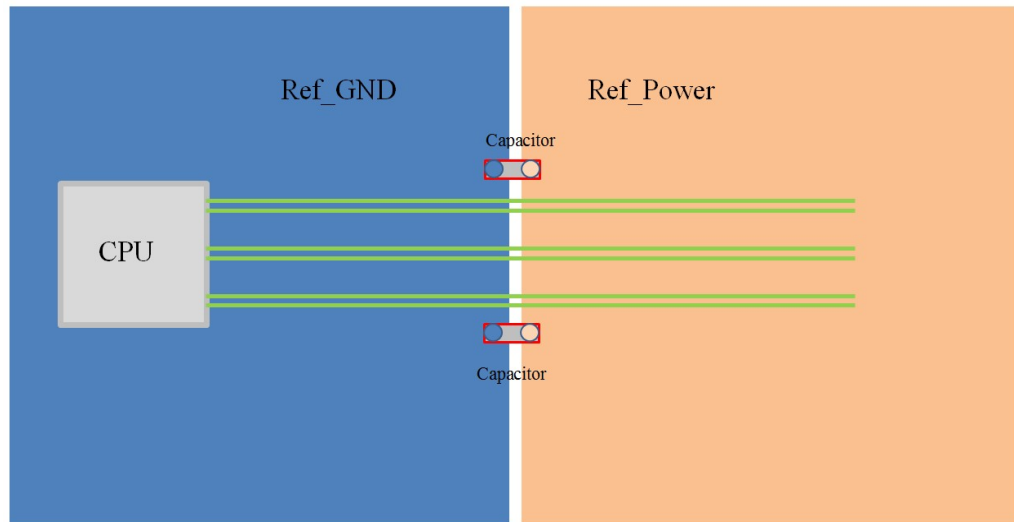


图 4-8 跨平面参考处理

5 DDR4 内存接口

5.1 特性

FT-2000/4支持RDIMM/UDIMM/SODIMM/板载颗粒等内存形式。在器件布局、阻抗控制等方面提出相应的建议并给出具体的实施方案和相应的指标要求。

该设计指导中所针对的硬件系统具体配置信息如下表所示。

表 5-1 FT-2000/4 主板配置

参数	DDR4 具体配置
芯片	FT-2000/4
内存类别	DDR4 UDIMM(64bit)\RDIMM(72bit)
速率	3200 Mbps
通道	A 和 B
内存电压	1.2 V

5.2 PCB 布局

FT-2000/4 芯片两个 DDR4 通道的引脚分布如图 5-1 所示（红色和蓝色标注的引脚）。两个内存通道布线可以根据芯片 ball map 设计分别对称布在芯片两侧，如图 5-2 所示；也可布在芯片同一侧，如图 5-3 所示。

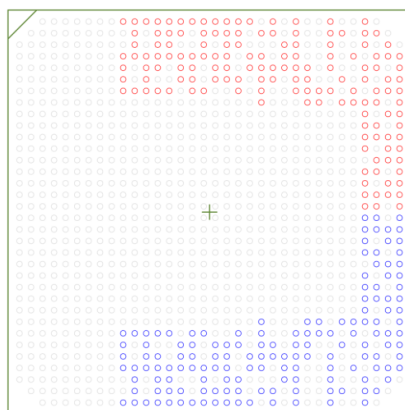


图 5-1 DDR Ball Map Top view

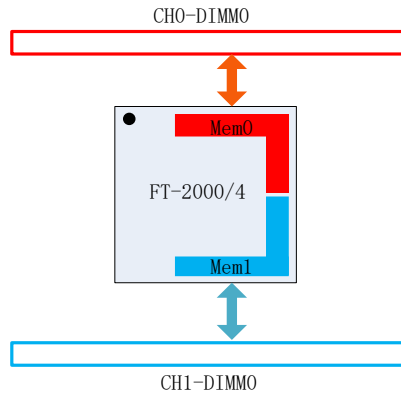


图 5-2 内存槽芯片两侧布局

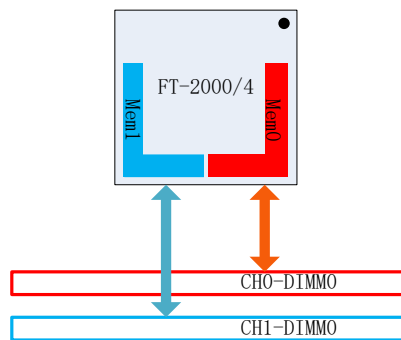


图 5-3 内存槽芯片一侧布局

5.3 布线参考

根据图 5-1 中所示引脚分布的特点，以及走线间距的约束。内存分两侧布线需要 2 层走线，如图 5-4 所示。若内存分一侧出线，需要 4 层走线。如图 5-5 所示。两侧布线相对一侧布线的方式可省两层布线层，降低了成本，同时走线更短，有利于提高信号质量。若结构无特殊要求的情况下，建议两侧布线的形式，即图 5-2 和图 5-4 的布局布线形式。

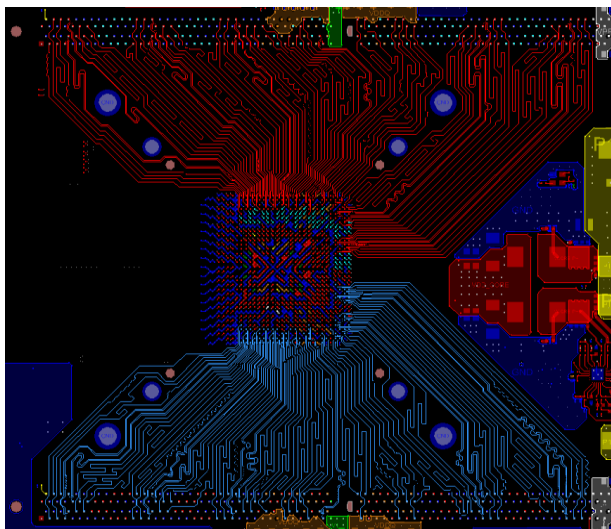


图 5-4 内存两侧布线示意图（内存两层布线）

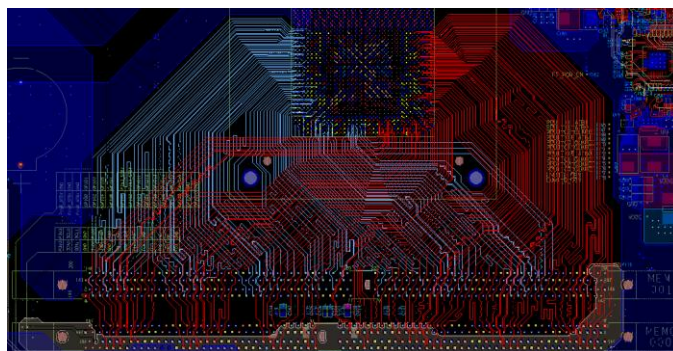


图 5-5 内存一侧布线示意图（内存四层布线）

5.4 双 DIMM 模式

FT-2000/4 芯片两个 DDR4 通道均支持双 DIMM 模式，以获取更大内存容量。图 5-6 给出典型设计参考图。

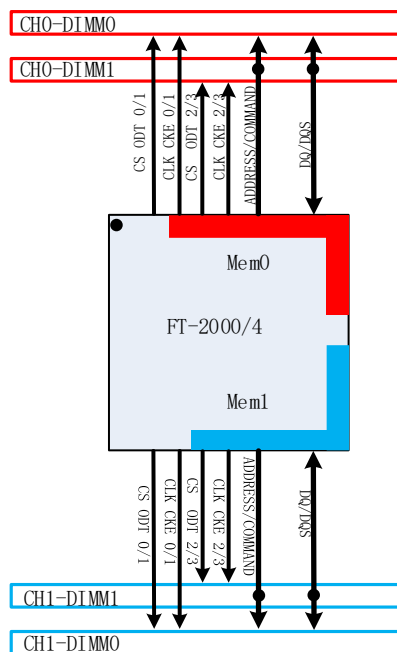


图 5-6 双 DIMM 模式典型连接方法

5.5 阻抗要求

DDR 走线的阻抗需满足如下要求：单端线阻抗 $45\Omega \pm 10\%$ ，差分线阻抗 $75\Omega \pm 10\%$ 。同时为了减少 DDR 走线之间的串扰，单端走线间距 $S \geq \text{Max}(3W, 3H)$ ， W 为线边缘间距， H 为走线距离最近参考平面的高度。芯片下的引脚扇出和内存插槽，可适当放宽要求。

如下列举一种布线的例子。供用户参考。

5.5.1 单端微带线



图 5-7 单端微带线

表 5-2 单端微带线

微带线	介电常数 Dk	介质厚度 H/mils	走线宽度 W/mils	走线厚度 T/oz	走线间距 S/mils	单端阻抗 Ω
单端线	3.7	3.0	5.8	0.3+plating	17.4	45

5.5.2 差分微带线

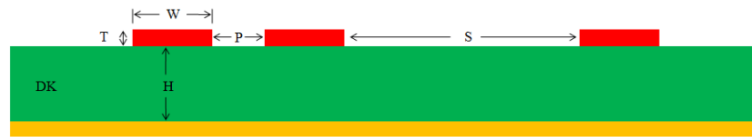


图 5-8 差分微带线

表 5-3 差分微带线

微带线	介电常数 Dk	介质厚度 H/mils	走线宽度 W/mils	差分线间距 P/mils	走线厚度 T/oz	走线间距 S/mils	差分阻抗 Ω
差分线	3.7	3.0	6	5	0.3+plating	18	75

5.5.3 单端带状线

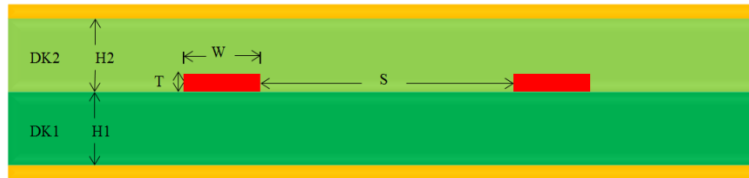


图 5-9 单端带状线

表 5-4 单端带状线

带状线	介电常数 Dk1	介质厚度 H1/mils	介电常数 Dk2	介质厚度 H2/mils	走线宽度 W/mils	走线厚度 T/oz	走线间距 S/mils	单端阻抗 Ω
差分线	3.7	5.12	3.8	5.52	5	1.0	15	45

5.5.4 分带状线

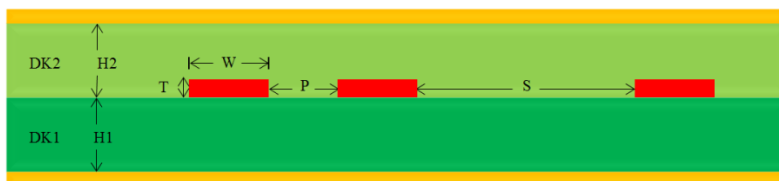


图 5-10 差分带状线

表 5-5 差分带状线

带状线	介电常数 Dk1	介质厚度 H1/mils	介电常数 Dk2	介质厚度 H2/mils	走线宽度 W/mils	走线厚度 T/oz	差分线间距 P/mils	走线间距 S/mils	差分阻抗 Ω
差分线	3.7	5.12	3.8	5.52	5.5	1	4.5	16.5	75

- 注： 1. 阻抗数值是根据叠层厚度、介电常数以及线宽进行计算得到，表格中数值仅供参考，建议按照实际叠层及线宽控制阻抗。
2. 微带线由于表面覆盖绿油的原因，会导致实际阻抗较计算值小，且每个板厂的影响不同，建议联系相应板厂进行调整，该表中给出阻抗是已考虑绿油影响下的阻抗。
3. 信号线需保证完整的参考平面，且不可出现跨越参考平面的情况。
4. 信号线打孔换层时，需保证换层后参考平面仍保持一致，如果不一致则需用回流孔将换层前后的参考平面连接起来。

5.6 交换准则

若按照 8bit 划分为一个 slice，一个通道 72bit 可划分为 9 个 slice。如表 5-6 所示，每组 slice 内有 12 个信号，以下准则是基于该划分。

➤ X8、X16 内存交换准则

- DQ交换：在进行X8兼容内存的设计时，slice内部的8个DQ可以自由互换。
- Slice交换：slice[0:7]可以进行slice之间交换。Slice[8]为ECC用途，不能与其它slice交换。若用户需要使用ECC的内存条，slice[8]必须与DIMM条上的slice [8]进行连接。若确认无需ECC功能，将slice [8]信号浮空即可。

➤ X4、X8、X16 内存交换准则

- DQ交换：每个slice可以再细拆分为低4位和高4位两组，分别为slice[n]_L与slice[n]_H，如表5-6所示。slice[n]_L内的DQ之间可以互相交换，slice[n]_H内的DQ之间可以互相交换。但不能slice[n]_L内的DQ与slice[n]_H内的DQ进行交换。
- Slice交换：slice[0:7]可以进行slice之间交换。Slice[8]为ECC用途，不能与其它slice交换。若用户需要使用ECC的内存条，slice[8]必须与DIMM条上的slice [8]进行连接。若确认无需ECC功能，可以将slice [8]信号浮空即可。

由上可见，“X8、X16 兼容内存交换准则”相对宽松和灵活，但不一定能兼容X4，最终需要采用何种准则，需依据用户具体需求而定。用户在不确定未来可能采用何种内存类型时候，建议遵循“X4、X8、X16 内存交换准则”获取最好的兼容性。

表 5-6 Slice 分组表

Slice[n]	Slice[n]_L	Slice[n]_H	备注
0	S0_DQ[0:3]、DQS0_C、DQS0_T	S0_DQ[4:7]、DQS9_C、DQS9_T	数据
1	S1_DQ[0:3]、DQS1_C、DQS1_T	S1_DQ[4:7]、DQS10_C、DQS10_T	数据
2	S2_DQ[0:3]、DQS2_C、DQS2_T	S2_DQ[4:7]、DQS11_C、DQS11_T	数据
3	S3_DQ[0:3]、DQS3_C、DQS3_T	S3_DQ[4:7]、DQS12_C、DQS12_T	数据
4	S4_DQ[0:3]、DQS4_C、DQS4_T	S4_DQ[4:7]、DQS13_C、DQS13_T	数据
5	S5_DQ[0:3]、DQS5_C、DQS5_T	S5_DQ[4:7]、DQS14_C、DQS14_T	数据
6	S6_DQ[0:3]、DQS6_C、DQS6_T	S6_DQ[4:7]、DQS15_C、DQS15_T	数据
7	S7_DQ[0:3]、DQS7_C、DQS7_T	S7_DQ[4:7]、DQS16_C、DQS16_T	数据
8	S8_DQ[0:3]、DQS8_C、DQS8_T	S8_DQ[4:7]、DQS17_C、DQS17_T	ECC

内存 LMUx_BP_ZN 采用 240 欧姆 1%精度的外部校准电阻与地连接，要求尽可能靠近引脚，避免外部干扰。

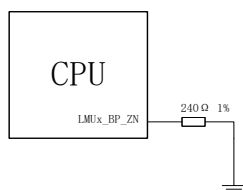


图 5-11 DDR 校准电阻

5.7 内存布线长度约束

表 5-7 布线长度约束

信号	布线要求
Clock	阻抗：75Ω 等长：差分对之间长度偏差<4mils
CS,ODT,CKE,CMD/ADDR	阻抗：45Ω 等长：与 clock 长度偏差<40mils
DQ	阻抗：45Ω 等长：同一 slice 内部 DQ 相对 DQS 的偏差<20mils 最大长度 6000mils
DQS	阻抗：75Ω 等长：差分对之间长度偏差<4mils

6 电源

6.1 电源参数

FT-2000/4 系列处理器电源参数参表 6-1 和表 6-2。

表 6-1 不同产品形态的核心电源 VDD 参数

产品型号	最小值(V)	典型值(V)	最大值(V)	最大电流
FT-2000/4 标准版	0.85	0.88	0.91	24A
FT-2000/4 工业级版	0.76	0.8	0.83	22A
FT-2000/4 标准双核版	0.76	0.8	0.83	15A
FT-2000/4 工业级双核版	0.76	0.8	0.83	17A
FT-2000/4 工业级单核版	0.76	0.8	0.83	13A
FT-2000/4 移动版	0.76	0.8	0.83	19A
FT-2000/4 标准安全版	0.85	0.88	0.91	24A
FT-2000/4 工业级安全版	0.76	0.8	0.83	22A

注：本表包含的测试数据均在最大结温下测试得到，最大结温请参考《FT-2004处理器数据手册》

表 6-2 电源参数

参数	符号	最小值 (V)	典型值 (V)	最大值 (V)	最大电流值
内存电源 ^[1]	VDDQ	1.14	1.2	1.26	2.7A
温度传感器电源	VDDA	1.71	1.8	1.89	1mA
IO 电源	VDDPST	1.62	1.8	1.98	100mA
PLL 模拟电源	PLL_VDDHV	1.62	1.8	1.98	50mA
PCIE 模拟电源	PEU1_X1_AVDDH PEU0_X16_AVDDH PEU1_X16_AVDDH	1.72	1.8	1.88	500mA
PLL 数字电源	PLL_VDDPOST	0.76	0.8	0.91	20mA
PLL 数字电源	PLL_VDDREF	0.76	0.8	0.91	20mA
PCIE 模拟电源	PEU0_X16_AVDD PEU1_X16_AVDD	0.76	0.8	0.91	1200mA
PCIE 高速时钟电源	PEU0_X16_AVDDCLK PEU1_X16_AVDDCLK	0.76	0.8	0.91	600mA
内存 PLL 模拟电源	VAA	1.71	1.8	1.89	80mA

注[1]: 内存电源VDDQ参数仅为CPU电流, 不包含内存颗粒部分, 设计时应根据具体内存情况设计电源。

6.2 设计要点

建议PCIE 电源连接方如下图6.1, FB1、FB2、FB3磁珠推荐参数: 120Ω/100Mhz。

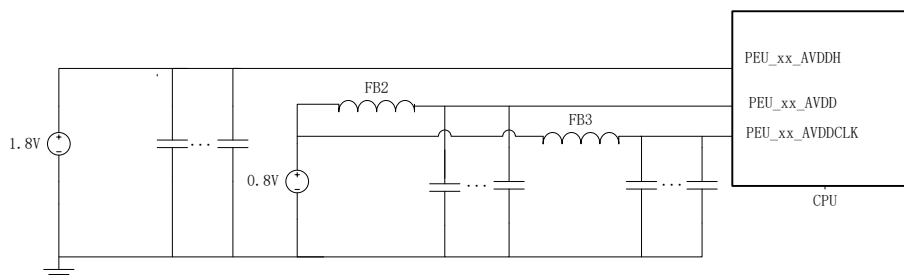


图 6-1 PCIe 电源连接方法

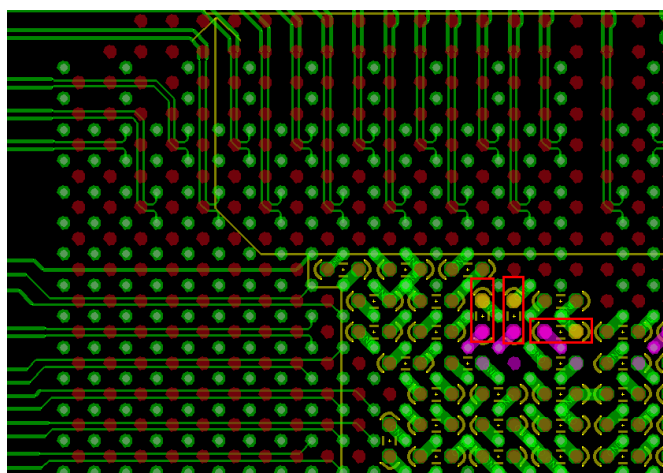


图 6-2 AVDDCLK 电源放置的电容位置

VAA电源用于内部PLL模拟电源, 因此要求非常干净。最大的交流噪声限制在正常电压的±2.5%内。

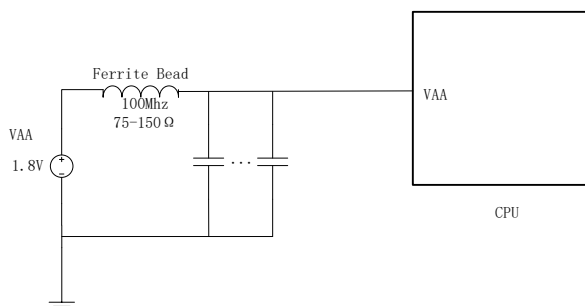


图 6-3 VAA 电源连接方法

如下图 6-4所示，电源的去耦电容位于CPU背面，尽可能靠近引脚。

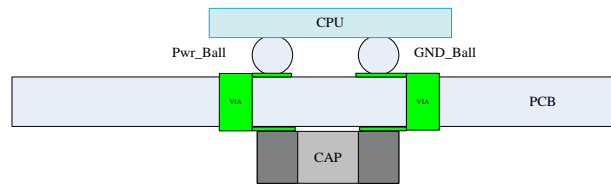


图 6-4 电容放置方式

7 配置 EEPROM

FT-2000/4 处理器支持引脚复用，并提供相应的引脚功能配置寄存器，用户可以通过设置相关寄存器来配置相应的引脚功能，具体配置方法见《飞腾 FT-2000/4 微处理器软件编程手册》。固件厂商也可以根据实际需求，选择参数表的形式供用户配置引脚复用功能，此表的解析与支持由第三方固件厂商选择是否实现，并选择表的存储介质与存储位置。

EEPROM 可用来配置 GPIO 复用信息、PCIe 拆分模式信息，也可以标注主板版本信息。为规范固件厂商、整机厂商等相关各方对引脚复用配置表的定义，本章节推荐了一种配置的数据格式，供参考使用。采用 2Kbit 容量的 EEPROM，详细的 I2C[0]连接方式见图 3-1。

表 7-1 EEPROM 从设备地址要求

1	0	1	0	A2	A1	A0	R/ \overline{W}
				1	1	1	

表 7-2 初始化 EEPROM 数据格式

内容	Byte 地址	值	描述	字节大小
CPU ID	0x00	0x04	FT-2000/4 标志	2
	0x01	0x01		
Version	0x02		EEPROM 内容版本	1
RFU	0x03-0x09		保留为将来使用	1
cfg_flag	0x0A	0x01/0x02/0x03	描述信息标志 GPIO 复用描述: 0x01 PCIe 拆分描述: 0x02 GPIO 复用和 PCIe 拆分描述: 0x03	1
CRC32	0x0B-0x0E	CRC32 value	0x10-0x3F 数据段的 CRC32 校验和, 数据以大端模式存储。	4
Date length	0x0F		配置数长度	1
Data	0x10-0x43	见表 7-5、7-6	配置数据	52

一个字节 Bit[7:0]，可拆分为高四位 bit[7:4]和低四位 bit[3:0]，分别表示两个 IO 引脚的复用功能和内部上下拉信息，每个 IO 相关的配置由 4bit 数据描述，其中低两位 Bit[1:0]、Bit[5:4]用于复用功能选择，高两位 Bit[3:2]、Bit[7:6]用于上下拉的选择。Bit[7:0]，假定 Bit[7:4]用于描述 IO_2，Bit[3:0]用于描述 IO_1（此

处 IO_1\IO_2 为泛指)。那么如表 7-3、表 7-4 所示，分别描述两个 IO 的特性。

表 7-3 IO 复用功能选择

IO	Bits	func0	func1	func2
IO_1	Bit[1:0]	00	01	10
IO_2	Bit[5:4]	00	01	10

表 7-4 IO 内部上下拉使能

IO	Bits	关闭上下拉	上拉	下拉	上拉
IO_1	Bit[3:2]	00	01	10	11
IO_2	Bit[7:6]	00	01	10	11

注：2'b11：使能上拉电阻（原则上不会出现上下拉电阻都使能的情况，如果这样配置，即使能上拉电阻）。

例如，需要引脚 L14 和 L15 分别使能 ALL_PLL_LOCK 和 GPIO0_A0 功能，且关闭其内部上下拉，可将 EEPROM 0x10 地址的 Byte 配置为 2'b0000 0001。用户可以直接使用工具，生成所需要的 EEPROM 配置文件。

表 7-5 GPIO 在 EEPROM 中数据映射关系

引脚	字节地址	Bits	func0	func1	func2	定值 ¹
L14	0x10	7: 4	ALL_PLL_LOCK	/	I2C_1_SCL	
L15		3: 0	CRU_CLK_OBV	GPIO0_A0	I2C_1_SDA	
K17	0x11	7: 4	/	GPIO0_A1	UART_0_CTS_N	
J17		3: 0	/	GPIO0_A2	UART_0_DCD_N	
H15	0x12	7: 4	/	GPIO0_A3	UART_0_DSR_N	
K21		3: 0	/	GPIO0_A4	UART_0_RI_N	
AC27	0x13	7: 4	/	GPIO0_A5	UART_0_RTS_N	
AB27		3: 0	/	GPIO0_A6	UART_0_DTR_N	
AB29	0x14	7: 4	/	GPIO0_A7	PEU1_LINKUP0	
AA29		3: 0	/	CAN_TXD0	PEU1_LINKUP1	
J16	0x15	7: 4	NTRST_SWJ	CAN_TXD1	PEU1_LINKUP2	
J20		3: 0	TDI_SWJ	CAN_TXD2	/	
K16	0x16	7: 4	SWDITMS_SWJ	CAN_RXD0	/	
J19		3: 0	SWDO_SWJ	CAN_RXD1	I2C2_SCL	
AG19	0x17	7: 4	TDO_SWJ	CAN_RXD2	I2C2_SDA	
AF9		3: 0	/	LPC_IRQ_OUTEN	I2C3_SCL	
AE15	0x18	7: 4	/	LPC_LAD_OUTEN	I2C3_SDA	
AG18		3: 0	I2C_0_SCL	/	/	0000
AF16	0x19	7: 4	I2C_0_SDA	/	/	0000
AF10		3: 0	SPI0_CSN0	GPIO1_A5	/	
AE11	0x1A	7: 4	SPI0_SCK	GPIO1_A6	/	

AF17		3: 0	SPI0_SO	GPIO1_A7	/	
AG15	0x1B	7: 4	SPI0_SI	GPIO1_B0	/	
AD15		3: 0	SD_CMD	GPIO1_B1	/	
AE22	0x1C	7: 4	SD_CLK	GPIO1_B2	/	
AF28		3: 0	SD_DAT0	GPIO1_B3	/	
AE21	0x1D	7: 4	SD_DAT1	GPIO1_B4	/	
AD26		3: 0	SD_DAT2	GPIO1_B5	/	
AF24	0x1E	7: 4	SD_DAT3	GPIO1_B6	/	
AD27		3: 0	SD_DETECT	/	/	0000
AF20	0x1F	7: 4	HDA_BCLK	/	/	0000
AE20		3: 0	HDA_RST	/	/	0000
AE23	0x20	7: 4	HDA_SYNC	/	/	0000
AE25		3: 0	HDA_SDO	/	/	0000
AD13	0x21	7: 4	HDA_SDI0	/	/	0000
AD16		3: 0	UART_0_RXD	/	/	0000
AE28	0x22	7: 4	UART_0_TXD	/	/	0000
AF14		3: 0	UART_1_RXD	/	/	0000
AE29	0x23	7: 4	UART_1_TXD	/	/	0000
AF23		3: 0	UART_2_RXD	SPI1_CSN0	GPIO0_B5	
AF13	0x24	7: 4	UART_2_TXD	SPI1_SCK	HDA_SDI1	
AF19		3: 0	UART_3_RXD	SPI1_SO	HDA_SDI2	
AF15	0x25	7: 4	UART_3_TXD	SPI1_SI	HDA_SDI3	
U27		3: 0	QSPI_CSN0	/	/	0000
AD29	0x26	7: 4	QSPI_CSN1	GPIO1_B7	/	
U28		3: 0	QSPI_CSN2	SPI1_CSN1	GPIO0_B6	
R26	0x27	7: 4	QSPI_CSN3	SPI1_CSN2	GPIO0_B7	
R27		3: 0	QSPI_SCK	/	/	0000
W28	0x28	7: 4	QSPI_SO_IO0	/	/	0000
Y28		3: 0	QSPI_SI_IO1	/	/	0000
AB28	0x29	7: 4	QSPI_WP_IO2	/	/	0000
U26		3: 0	QSPI_HOLD_IO3	/	/	0000
AE12	0x2A	7: 4	LPC_LAD0	GPIO1_A3	/	
AF18		3: 0	LPC_LAD1	GPIO1_A4	/	
AE24	0x2B	7: 4	LPC_LAD2	SPI1_CSN3	/	
AD28		3: 0	LPC_LAD3	SPI0_CSN3	/	
K25	0x2C	7: 4	PEU0_LINKUP0	/	/	0000
K24		3: 0	PEU0_LINKUP1	/	/	0000
N26	0x2D	7: 4	PEU0_LINKUP2	/	/	0000
N27		3: 0	PEU0_C0_CLKREQ	/	/	0000
L27	0x2E	7: 4	PEU0_C1_CLKREQ	/	/	0000
L26		3: 0	PEU0_C2_CLKREQ	/	/	0000
K29	0x2F	7: 4	PEU1_C0_CLKREQ	/	/	0000
J28		3: 0	PEU1_C1_CLKREQ	/	/	0000

M28	0x30	7: 4	PEU1_C2_CLKREQ	/	/	0000
L13		3: 0	RGMII0_RX_CLK	/	/	0000
K13	0x31	7: 4	RGMII0_GTX_CLK	/	/	0000
K12		3: 0	RGMII0_RXD0	/	/	0000
J12	0x32	7: 4	RGMII0_RXD1	/	/	0000
J11		3: 0	RGMII0_RXD2	/	/	0000
L12	0x33	7: 4	RGMII0_RXD3	/	/	0000
J10		3: 0	RGMII0_RX_CTL	/	/	0000
J14	0x34	7: 4	RGMII0_TXD0	/	/	0000
K14		3: 0	RGMII0_TXD1	/	/	0000
J15	0x35	7: 4	RGMII0_TXD2	/	/	0000
J13		3: 0	RGMII0_TXD3	/	/	0000
K15	0x36	7: 4	RGMII0_TX_CTL	/	/	0000
K18		3: 0	RGMII0_MDC	/	/	0000
K22	0x37	7: 4	RGMII0_MDIO	/	/	0000
K10		3: 0	RGMII1_RX_CLK	/	/	0000
L11	0x38	7: 4	RGMII1_GTX_CLK	/	/	0000
P10		3: 0	/	RGMII1_RXD0	GPIO0_B0	
P9	0x39	7: 4	/	RGMII1_RXD1	GPIO0_B1	
N10		3: 0	/	RGMII1_RXD2	GPIO0_B2	
M9	0x3A	7: 4	/	RGMII1_RXD3	GPIO1_A0	
K9		3: 0	/	RGMII1_RX_CTL	GPIO1_A1	
M11	0x3B	7: 4	RGMII1_TXD0	/	GPIO1_A2	
K11		3: 0	RGMII1_TXD1	/	SPI0_CSN1	
/	0x3C	7: 4	reserved	/	/	0000
L10		3: 0	RGMII1_TXD2	/	SPI0_CSN2	
N11	0x3D	7: 4	RGMII1_TXD3	/	GPIO0_B3	
M10		3: 0	RGMII1_TX_CTL	/	GPIO0_B4	
H9	0x3E	7: 4	RGMII1_MDC	/	/	0000
J21		3: 0	RGMII1_MDIO	/	/	0000
/	0x3F	7: 4	reserved	/	/	0000
/		3: 0	reserved	/	/	0000

注：定值即为无法修改的配置值，即使用户在 EEPROM 中配置其它值，仍然等同于 2'b0000。

表 7-6 PCIe 拆分模式配置

字节地址	功能	宽度 Byte	说明
0x40~0x43	PEU 功能配置	4	bit[31:16] = 0, PEU1 不初始化 1, PEU1 初始化为 x16 3, PEU1 初始化为 x8 其它值, 保留

			<p>bit[15:0] =</p> <ul style="list-style-type: none">0, PEU0 不初始化1, PEU0 初始化为 x163, PEU0 初始化为 x8其它值, 保留
--	--	--	--